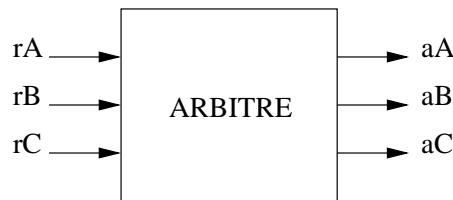


## 1 Études de stratégies d'arbitrage

On se propose d'étudier un circuit appelé "arbitre", dont le rôle est de séquencer le fonctionnement de trois circuits externes, A, B et C. Les circuits A, B et C envoient chacun un signal de requête à l'arbitre ( $r_A$ ,  $r_B$  et  $r_C$ ). L'arbitre leur renvoie un signal d'autorisation (acquittement,  $a_A$ ,  $a_B$  et  $a_C$ ), auquel cas le circuit autorisé devient "maître". La figure 1 illustre le circuit "arbitre".



**FIG. 1 : Le circuit arbitre**

Le fonctionnement global est le suivant :

- Pour devenir ou rester maître, un circuit met son signal de requête à 1 et le maintient jusqu'à ce qu'il ne souhaite plus l'être,
- Les signaux d'autorisation sont mutuellement exclusifs (il ne peut y en avoir au maximum qu'un seul actif à la fois),
- Lorsqu'aucune requête n'est active, aucun élément n'est maître (aucun signal  $a_A$ ,  $a_B$   $a_C$  n'est à 1).

Il existe différentes stratégies d'arbitrage plus ou moins équitables. Les exercices suivants traitent chacun un exemple de stratégie différente. Chaque exercice est indépendant.

### 1.1 Stratégie à priorité absolue

L'arbitre est un circuit combinatoire régi par les règles suivantes :

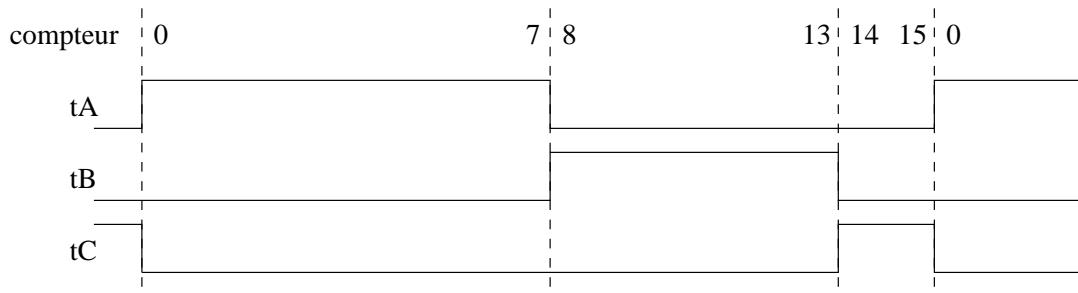
- A est plus prioritaire que B qui est plus prioritaire que C,
- Si B est le maître et si C fait une requête, B reste le maître,
- Si B est le maître et si A fait une requête, A va devenir le maître à la place de B.

**Question 1.1.1** Donnez les équations logiques des sorties  $a_A$ ,  $a_B$  et  $a_C$  en fonction de  $r_A$ ,  $r_B$  et  $r_C$ .

### 1.2 Stratégie à temps partagé

On remplace la stratégie de priorité par un dispositif interne à l'arbitre, qui génère 3 signaux  $t_A$ ,  $t_B$  et  $t_C$ , spécifiés en figure 2. Le circuit A (resp. B, C) n'a la possibilité de devenir maître que lorsque le signal  $t_A$  (resp.  $t_B$ ,  $t_C$ ) vaut 1.

**Question 1.2.1** Donnez les équations logiques de  $a_A$ ,  $a_B$  et  $a_C$  en fonction de  $r_A$ ,  $r_B$  et  $r_C$  et  $t_A$ ,  $t_B$  et  $t_C$ .



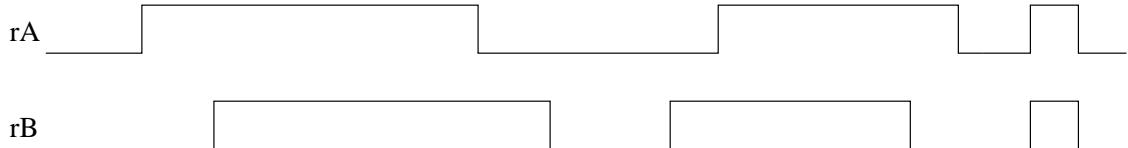
**FIG. 2 :** Chronogrammes des signaux  $tA$ ,  $tB$  et  $tC$

**Question 1.2.2** Les signaux  $tA$ ,  $tB$  et  $tC$  sont générés avec un compteur de 4 bits  $Q_3$ ,  $Q_2$ ,  $Q_1$  et  $Q_0$  (LSB= $Q_0$ ) conformément aux chronogrammes de la figure 2. Donnez les équations logiques de  $tA$ ,  $tB$  et  $tC$  en fonction de  $Q_3$ ,  $Q_2$ ,  $Q_1$  et  $Q_0$ .

### 1.3 Stratégie du premier arrivé

On étudie maintenant une nouvelle stratégie : si aucun circuit n'est maître, c'est le premier qui active sa requête qui devient maître et qui le reste même si un autre circuit fait une requête. Si des circuits activent leur requête simultanément, A est plus prioritaire que B qui est plus prioritaire que C.

**Question 1.3.1** Tracez  $aA$  et  $aB$  correspondant aux chronogrammes de  $rA$  et  $rB$  de la figure 3 :



**FIG. 3 :** Chronogrammes de  $rA$  et  $rB$

**Question 1.3.2** Démontrez que l'arbitre doit être réalisé en logique séquentielle.

**Question 1.3.3** En ne considérant que 2 éléments A et B, tracez le graphe de la machine à états générant  $aA$  et  $aB$ . Le graphe contient 3 états, il doit indiquer les sorties, être complet et non contradictoire.